

# Problema 1

Un sistema sequenziale sincrono è caratterizzato da 9 segnali di ingresso (Clear, Start, a, b, c, d, e, f, g) e da 16 segnali di uscita ( $Z_{15}, \dots, Z_1, Z_0$ ), tutti sincroni. Attraverso gli ingressi a, b, ..., g il sistema riceve dati numerici, ciascuno costituito da 4 cifre decimali rappresentate secondo il codice 7-segmenti. Le 4 cifre di ciascun dato vengono ricevute in serie, a partire da quella meno significativa (LSD), con la stessa frequenza del clock in base al quale opera il sistema. Il segnale Start, attivo a livello logico 1 e di durata unitaria, identifica l'intervallo di ricezione della prima cifra di ciascun dato. Il sistema ha il compito di evidenziare in uscita tramite i bit  $Z_{15}$  (MSB), ...,  $Z_1, Z_0$  (LSB) la rappresentazione secondo il codice BCD del dato ricevuto in ingresso cui compete il valore massimo. Il segnale Clear, per ipotesi mai attivo durante la fase di ricezione dei dati, dà luogo all'azzeramento dell'uscita del sistema, reinizializzando così il processo di identificazione del valore massimo a partire dal successivo dato presentato in ingresso.

Il sistema deve essere strutturato secondo lo schema indicato in figura, rispettando le specifiche progettuali in seguito delineate per quanto concerne la realizzazione delle singole unità e motivando esplicitamente tutte le scelte operate.

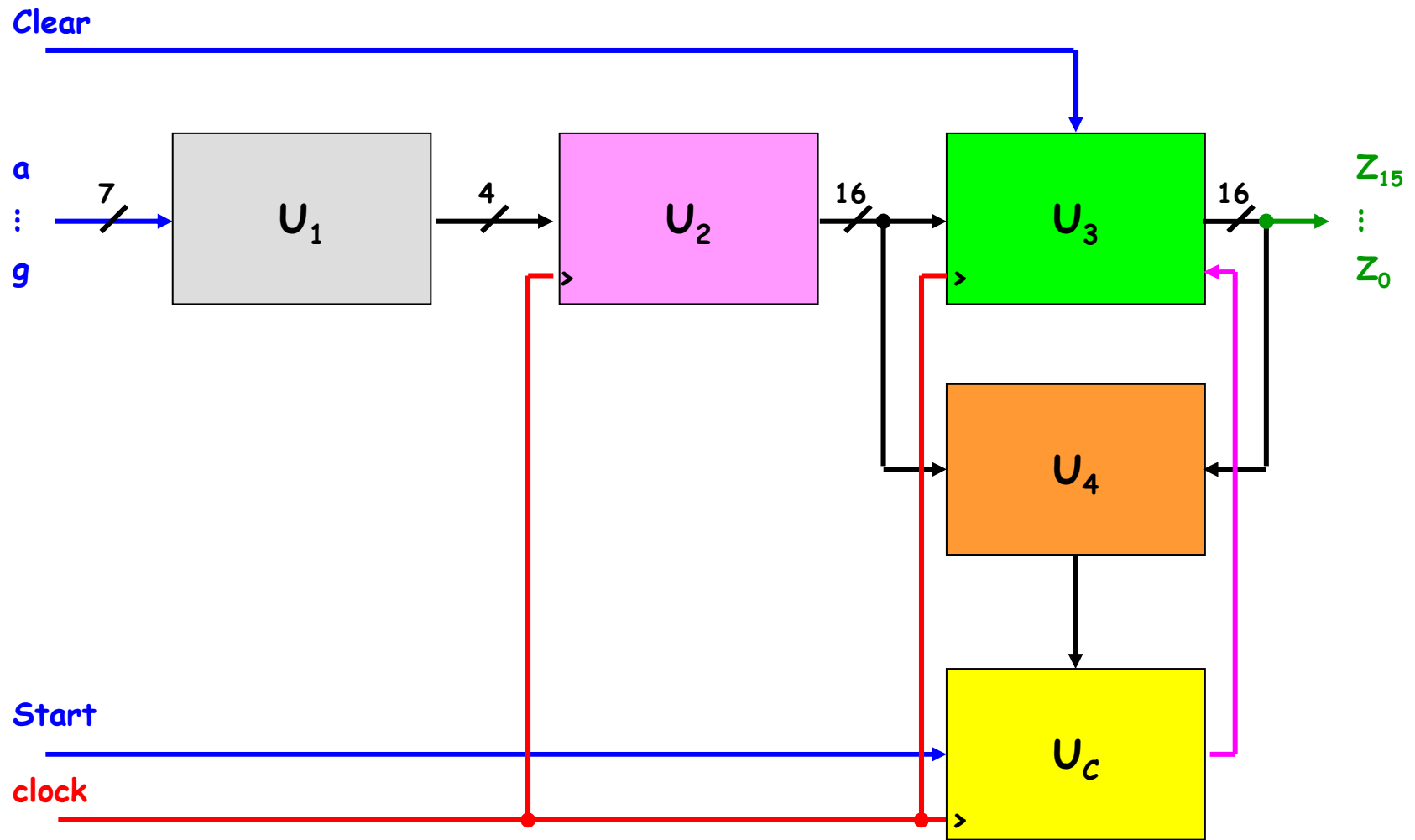
L'unità di transcodifica deve essere sintetizzata mediante, esclusivamente, MUX 8:1.

L'unità di confronto deve essere sintetizzata mediante composizione modulare di comparatori elementari a 4 bit, ciascuno dei quali riceve in ingresso, oltre ai bit degli operandi da confrontare ( $A_1, A_0, B_1, B_0$ ), 3 bit ausiliari ( $I>, I<, I=$ ) che ne consentono un'immediata disposizione in cascata. L'esito del confronto operato da ciascun comparatore elementare è evidenziato in uscita tramite 3 bit ( $O>, O<, O=$ ) in accordo alla seguente relazione di causa-effetto:

	$O>$	$O<$	$O=$
$A > B$	1	0	0
$A < B$	0	1	0
$A = B$	$I>$	$I<$	$I=$

L'unità di conversione serie-parallelo delle cifre di ciascun dato presentato in ingresso e l'unità di memorizzazione del dato cui compete il valore massimo devono essere sintetizzate mediante registri a 4 bit.

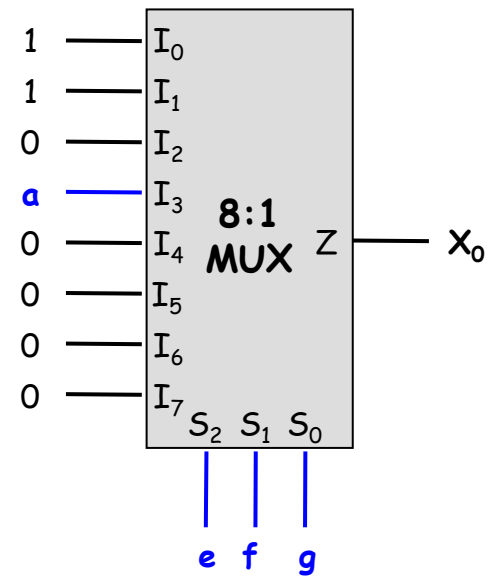
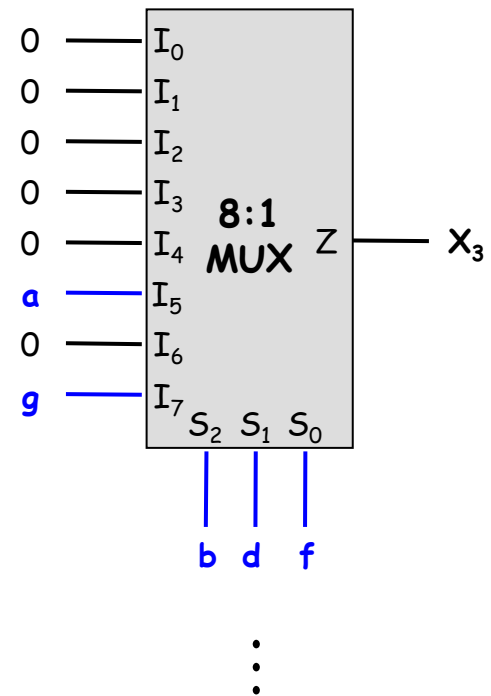
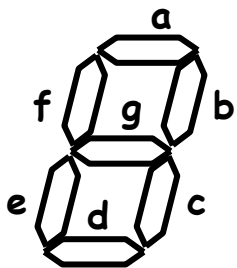
L'unità di controllo deve essere sintetizzata mediante un contatore binario.



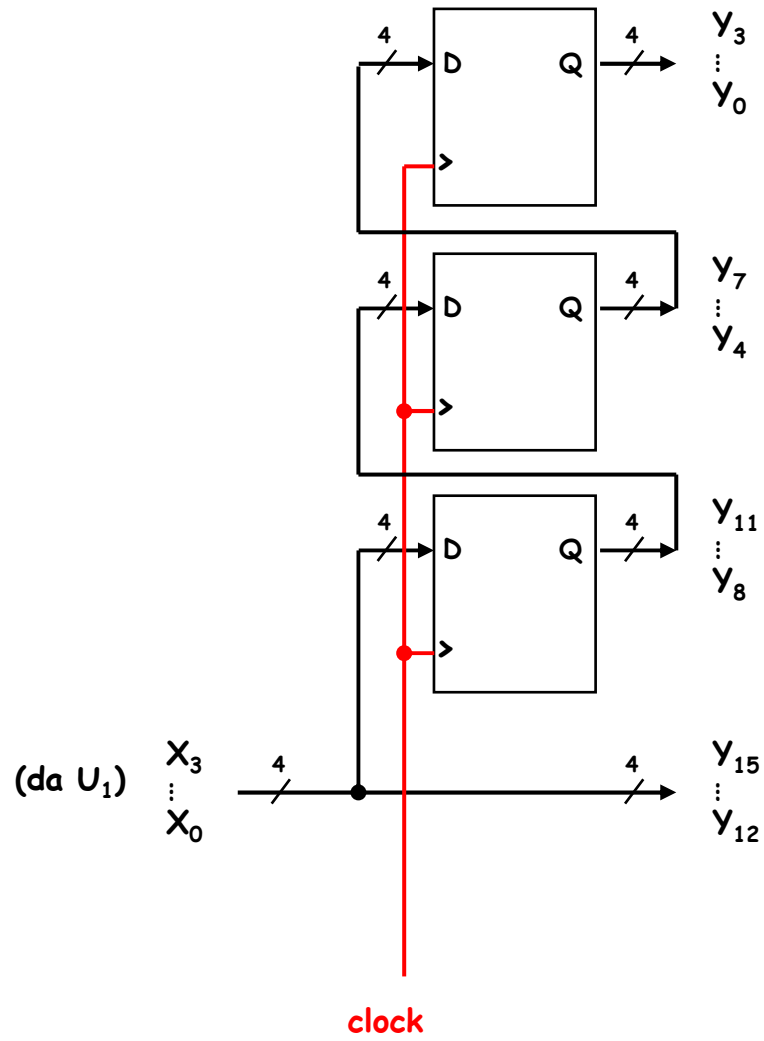
- $U_1$ : unità di transcodifica
- $U_2$ : unità di conversione serie/parallelo
- $U_3$ : unità di memorizzazione
- $U_4$ : unità di confronto
- $U_c$ : unità di controllo

$U_1$

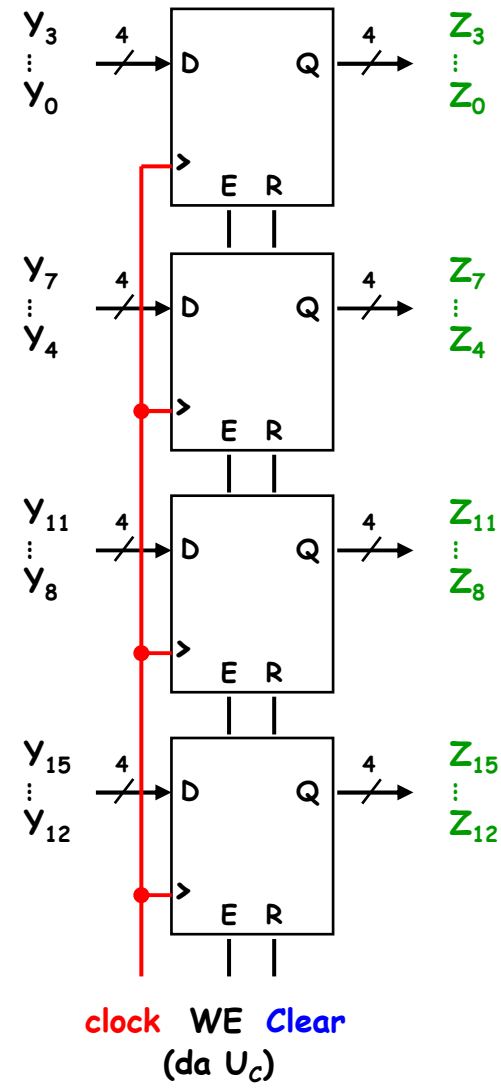
a	b	c	d	e	f	g	$X_3$	$X_2$	$X_1$	$X_0$
1	1	1	1	1	1	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1
1	1	0	1	1	0	1	0	0	1	0
1	1	1	1	0	0	1	0	0	1	1
0	1	1	0	0	1	1	0	1	0	0
1	0	1	1	0	1	1	0	1	0	1
0	0	1	1	1	1	1	0	1	1	0
1	1	1	0	0	0	0	0	1	1	1
1	1	1	1	1	1	1	1	0	0	0
1	1	1	0	0	1	1	1	0	0	1



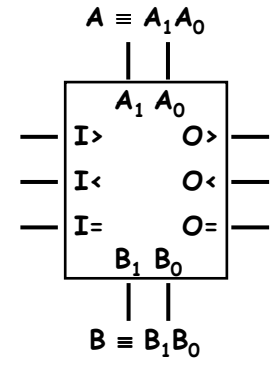
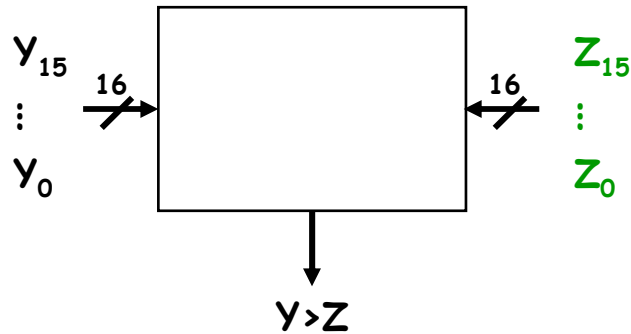
**U<sub>2</sub>**



**U<sub>3</sub>**



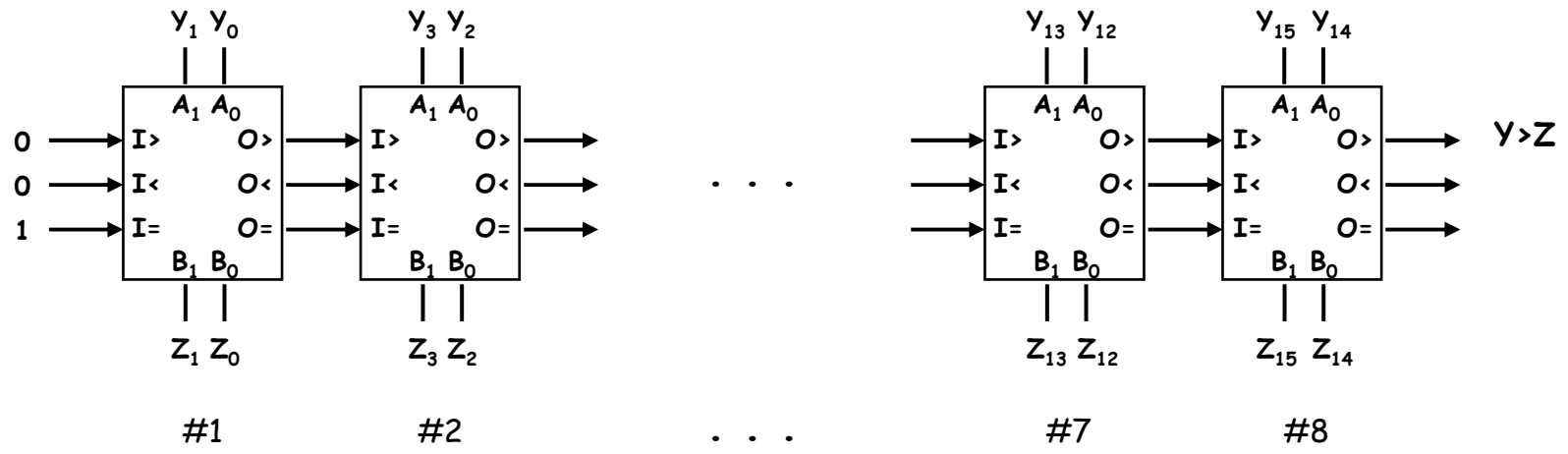
$U_4$



$$O> = (A > B) + (A = B) I> = A_1 B_1' + (A_1 \oplus B_1)' (A_0 B_0' + (A_0 \oplus B_0)' I>)$$

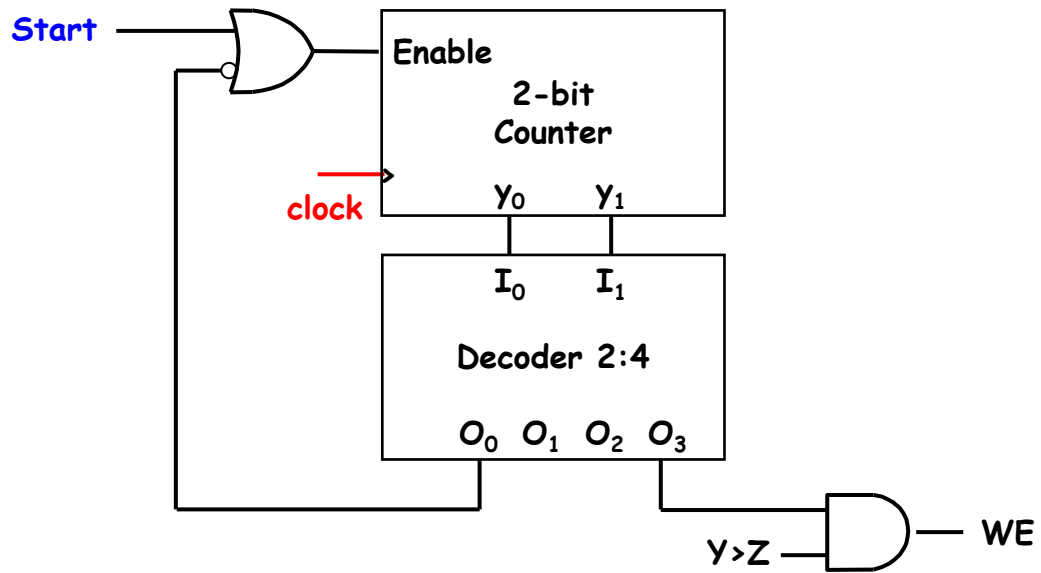
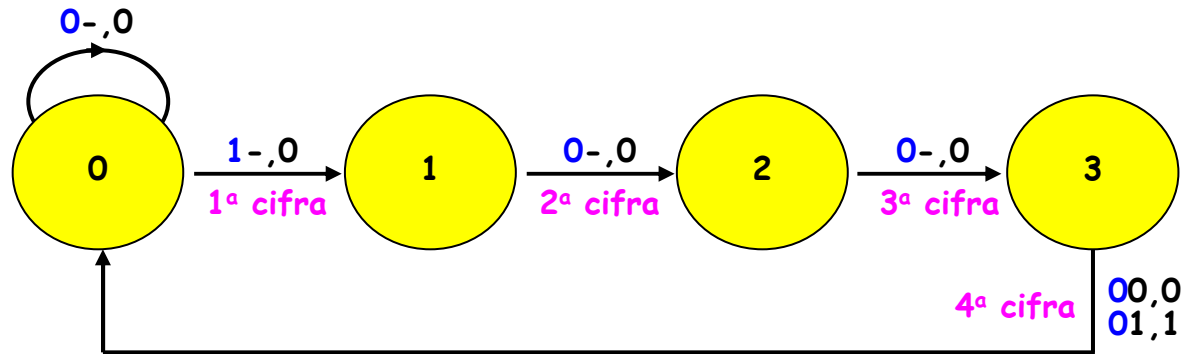
$$O< = (A < B) + (A = B) I< = A_1' B_1 + (A_1 \oplus B_1)' (A_0' B_0 + (A_0 \oplus B_0)' I<)$$

$$O= = (A = B) I= = (A_1 \oplus B_1)' (A_0 \oplus B_0)' I=$$



$U_C$

Start  $Y > Z$ , WE

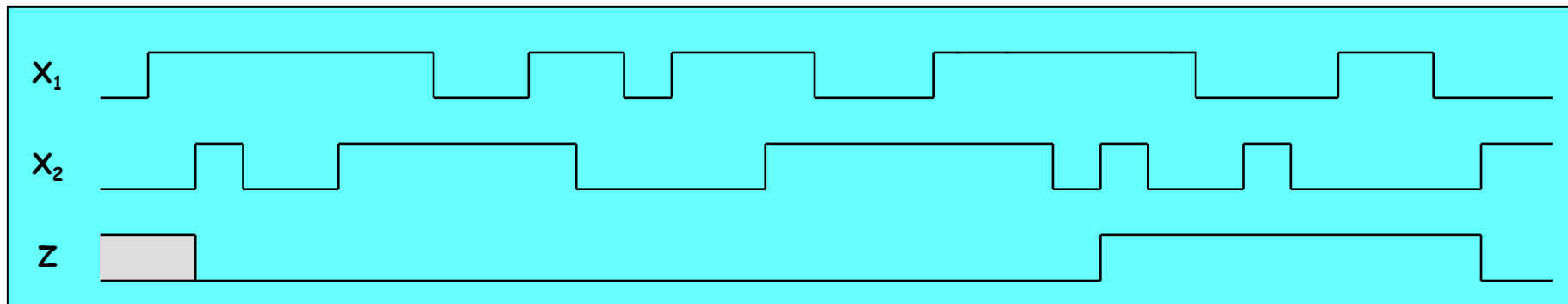


## Problema 2

Una rete sequenziale asincrona è caratterizzata da due segnali di ingresso  $X_1$ ,  $X_2$  (i quali possono cambiare di valore uno soltanto alla volta) e da un segnale di uscita  $Z$ . La rete ha il compito di aggiornare l'uscita in corrispondenza di ogni fronte di salita del segnale  $X_2$ , associando ad essa il valore che  $X_2$  stesso ha assunto in corrispondenza dell'ultimo fronte di salita del segnale  $X_1$ .

Individuate le sequenze di configurazioni dei segnali di ingresso cui corrisponde l'attivazione (valore logico 1) e la disattivazione (valore logico 0) del segnale di uscita, si identifichi:

- il grafo degli stati della rete;
- la relativa tabella di flusso in forma minima;
- una tabella delle transizioni priva di corse critiche.



# Sequenze di configurazioni di $X_1X_2$ cui corrisponde

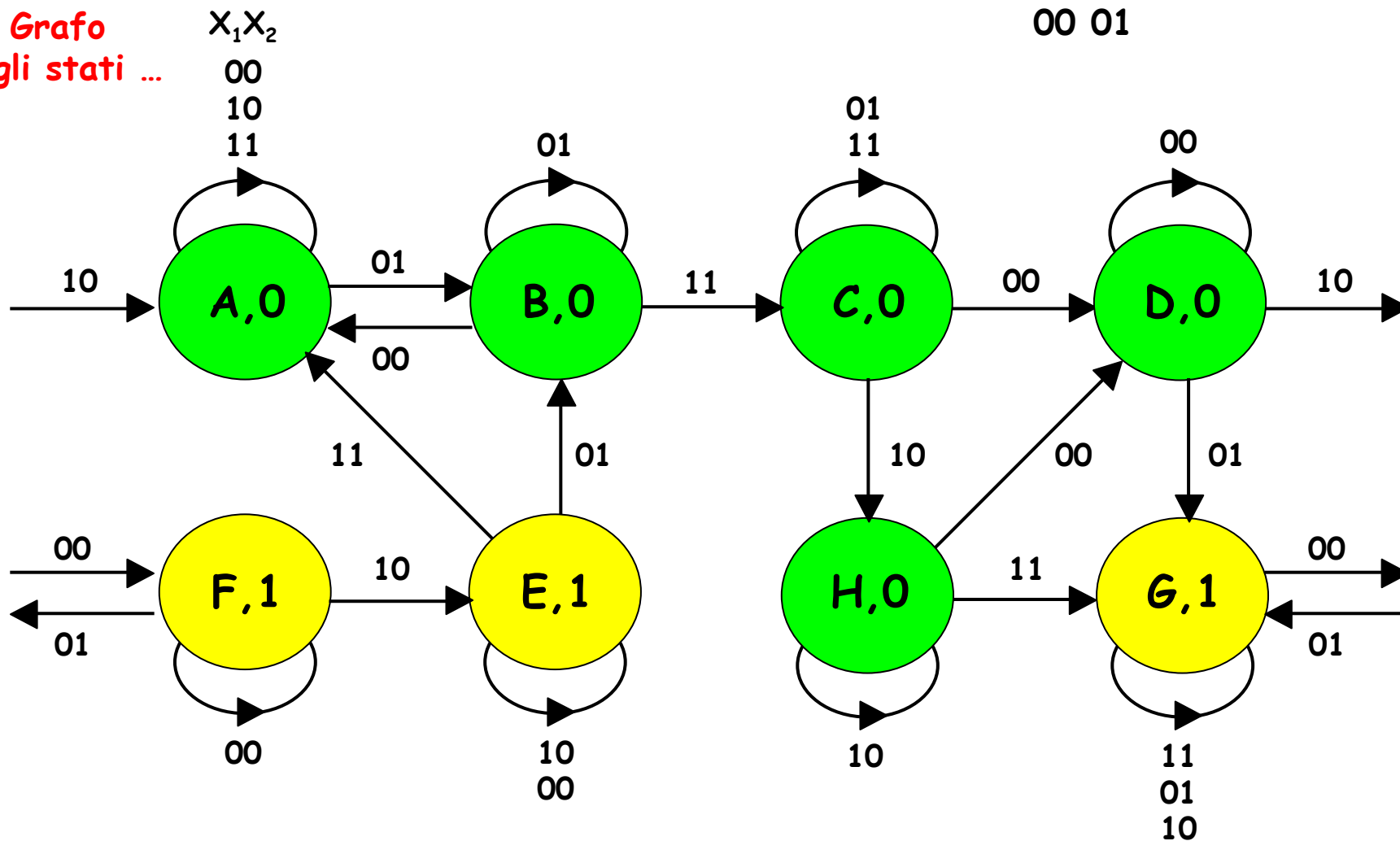
Z=0: 00 10 -1

Z=1: 01 11 01 00 01

10 11

00 01

Grafo degli stati ...



... e diagramma delle adiacenze

2 transizioni multiple

00 00  
H → C → D

11 11  
E → F → A

*ecc.*