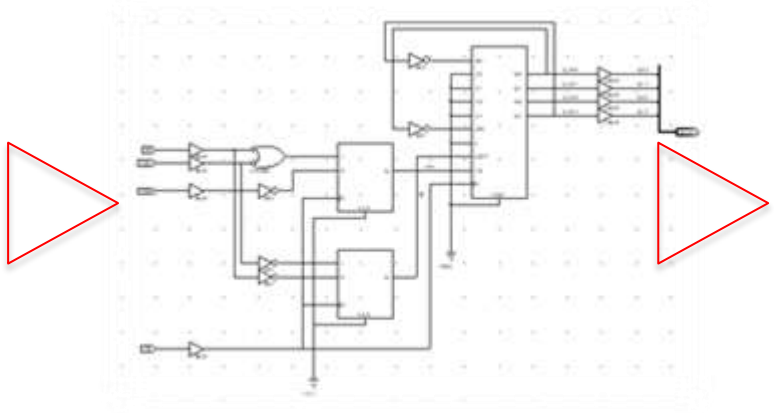
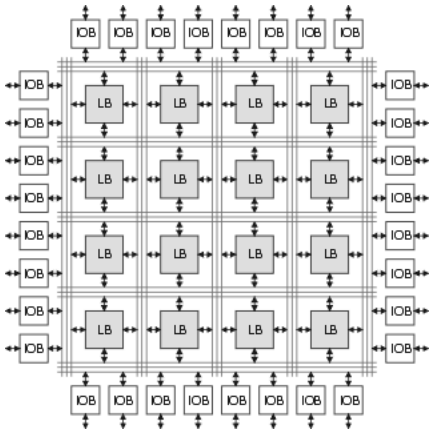
ALMA MATER STUDIORUM – UNIVERSITY OF BOLOGNA
DEIS - DEPARTMENT OF ELECTRONICS, COMPUTER ENGINEERING AND SYSTEMS

```
begin
  if (RESET_N = '0') then

    for col in 0 to BOARD_COLUMNS-1 loop
    for row in 0 to BOARD_ROWS-1 loop
    ...
   elsif (rising_edge(CLOCK)) then
    ...
```





Laboratorio di Sistemi Digitali M
A.A. 2010/11

2 – Introduzione Altera Quartus II e schede di sviluppo Altera-Terasic DE1

Primiano Tucci
primiano.tucci@unibo.it

www.primianotucci.com

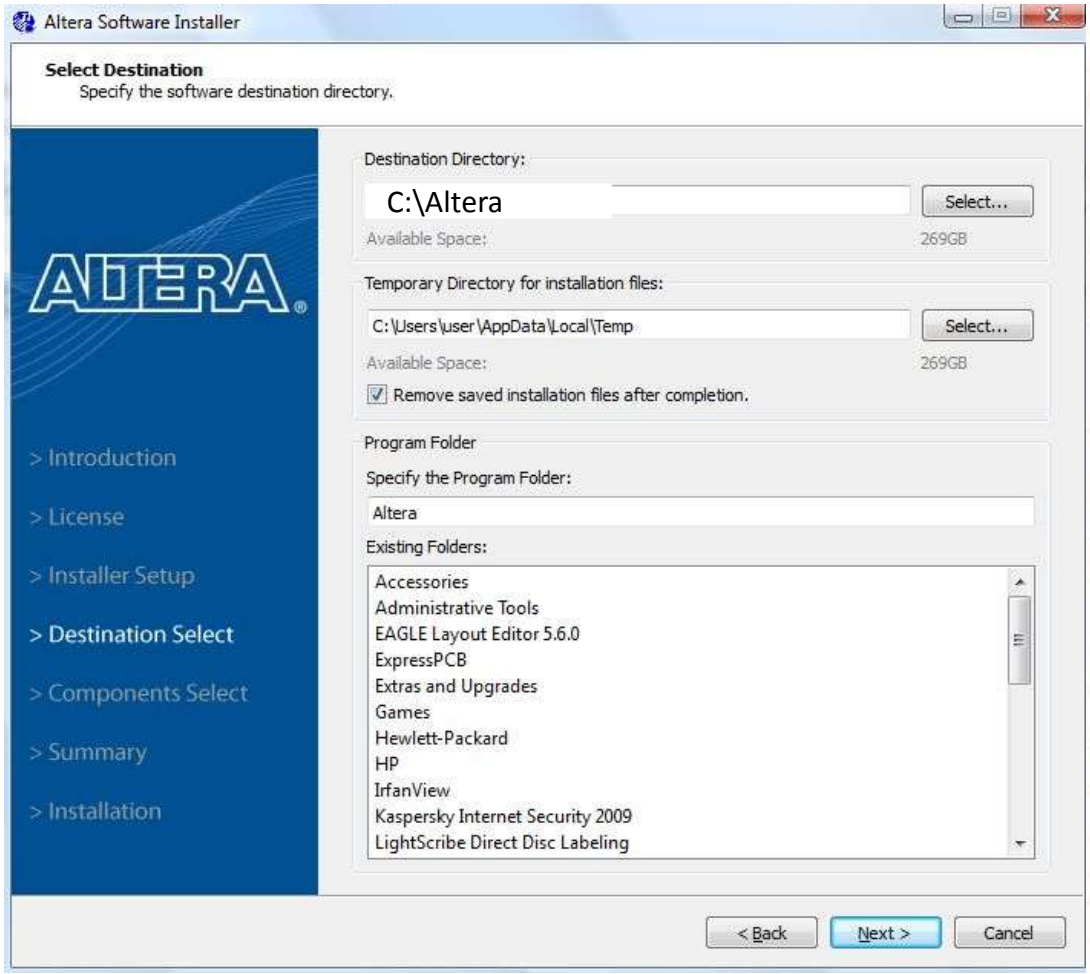
Altera Quartus II

- Quartus II è l'ambiente di sviluppo della Altera, che consente la progettazione di sistemi digitali sia in modalità grafica (block diagram) che testuale (VHDL ed altri)

Versione gratuita: Altera Quartus II *Web Edition*
http://www.altera.com/products/software/quartus-ii/web-edition/qts-we-index.html

Per le esercitazioni servirà solo Quartus II (potete evitare di installare ModelSim e NIOS)

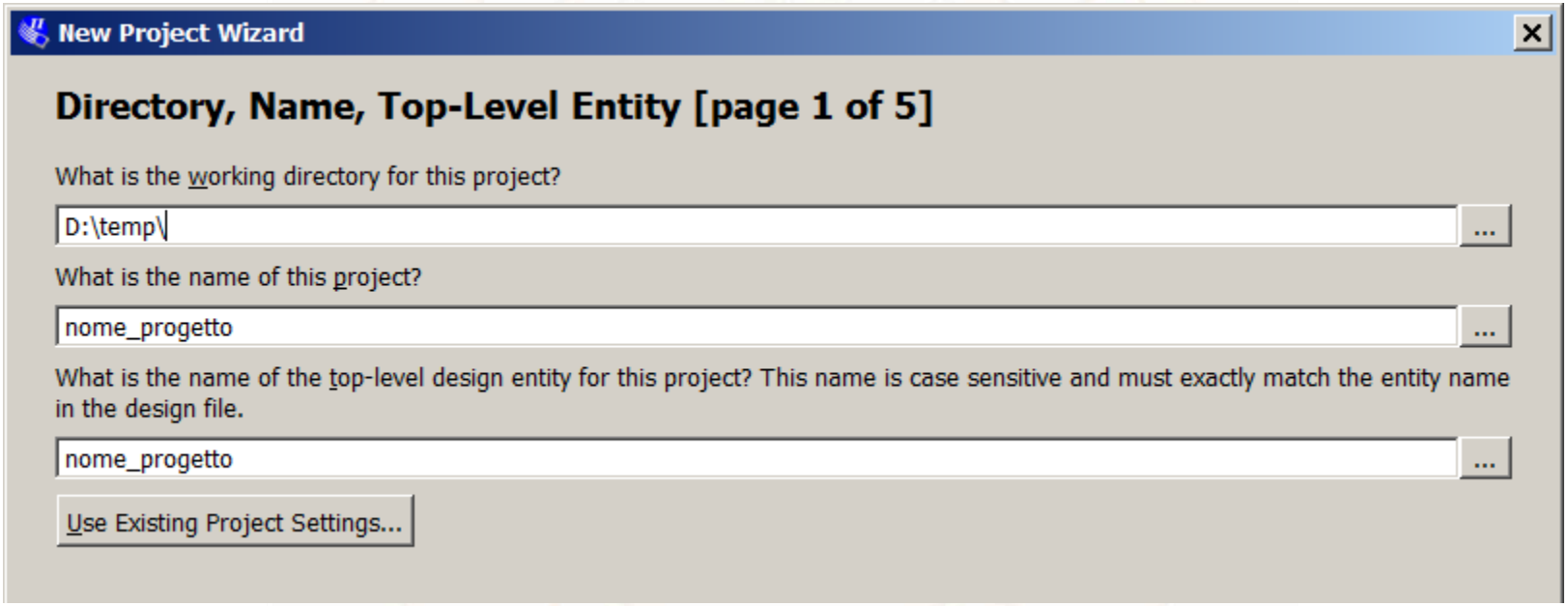
Installazione Quartus II



- Installate in C:\Altera\ (evitate \Program Files o directory con spazi. Molti script della Altera hanno problemi a riguardo)
- Nelle opzioni del setup potete selezionare solo la famiglia Cyclone II per risparmiare spazio sul disco.

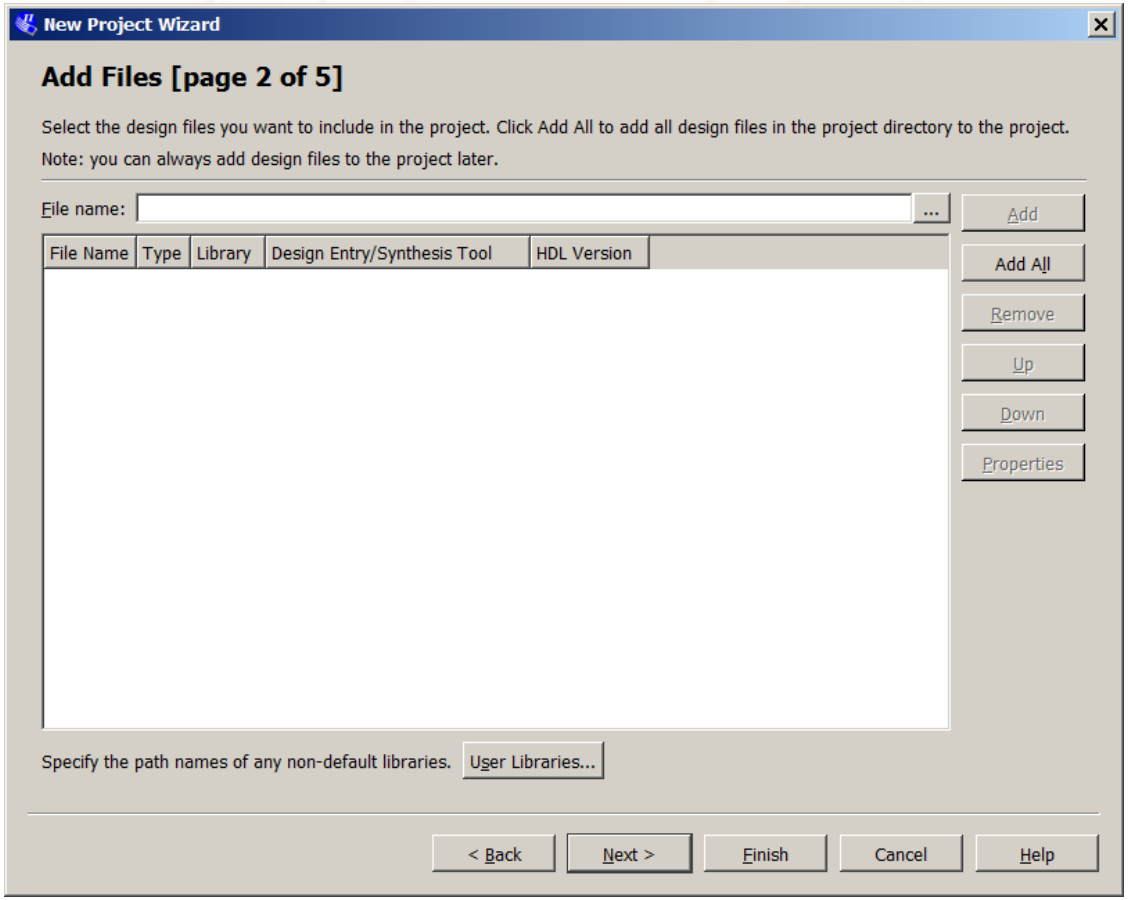
Quartus II – Getting started

- New project wizard (1/5)



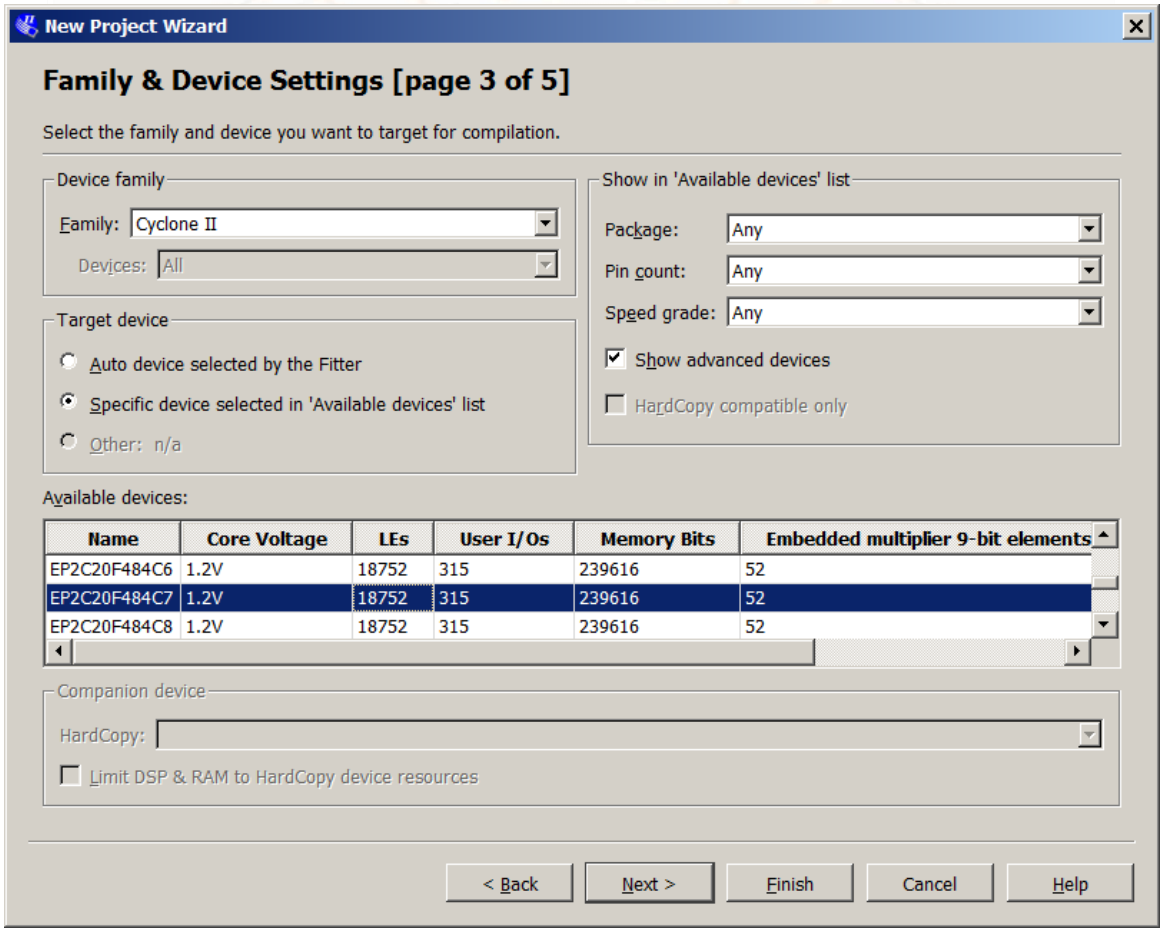
Quartus II – Getting started

- Add files (2/5) : lasciate in bianco



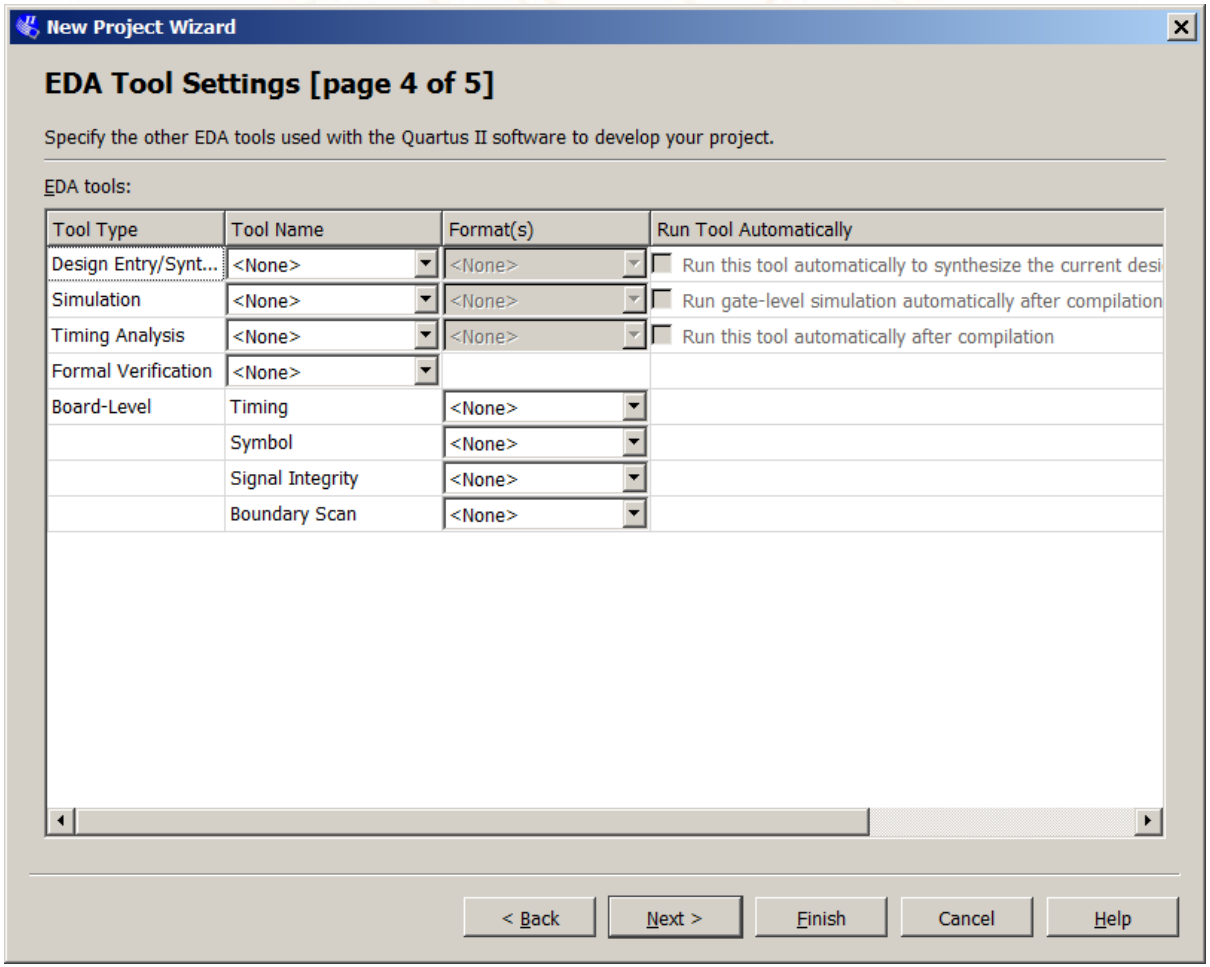
Quartus II – Getting started

- Family & Device settings (3/5). Family: Cyclone II. **EP2C20F484C7**



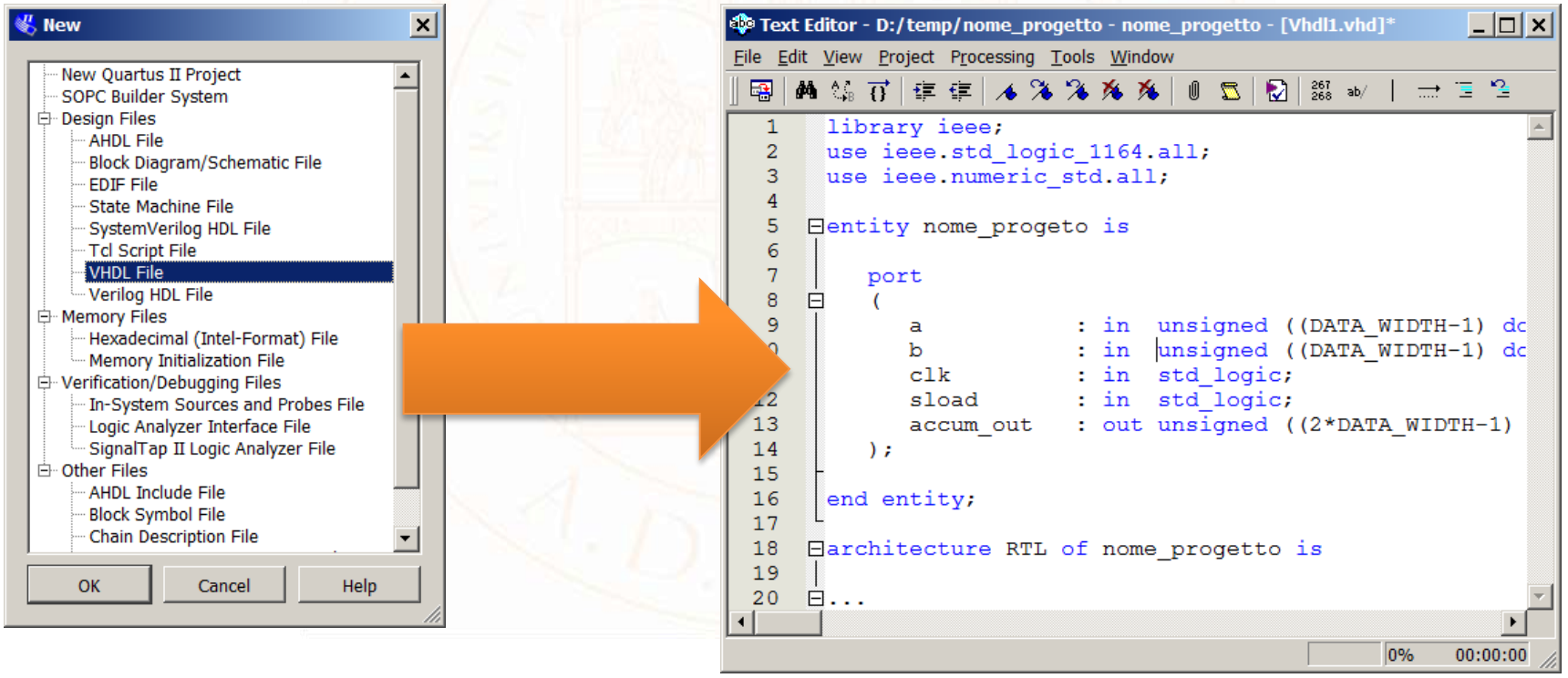
Quartus II – Getting started

- EDA Tool Settings (4/5). Lasciate in bianco → Finish

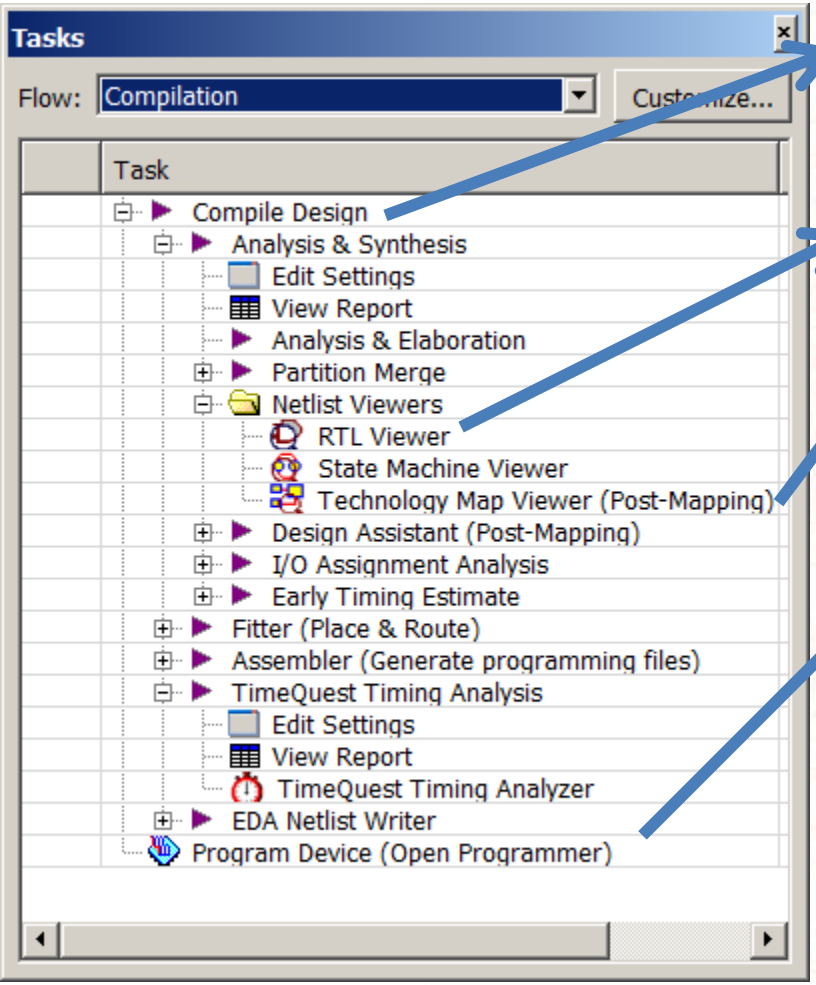


Quartus II – Getting started

- Ogni progetto DEVE contenere almeno una top-level entry (entità vhdl o schema a blocchi) che si chiama esattamente come il progetto.
- Le sue porte devono chiamarsi esattamente come i pin dell'FPGA che importate (vedi slide successive) oppure assegnato utilizzando il *pin planner*.

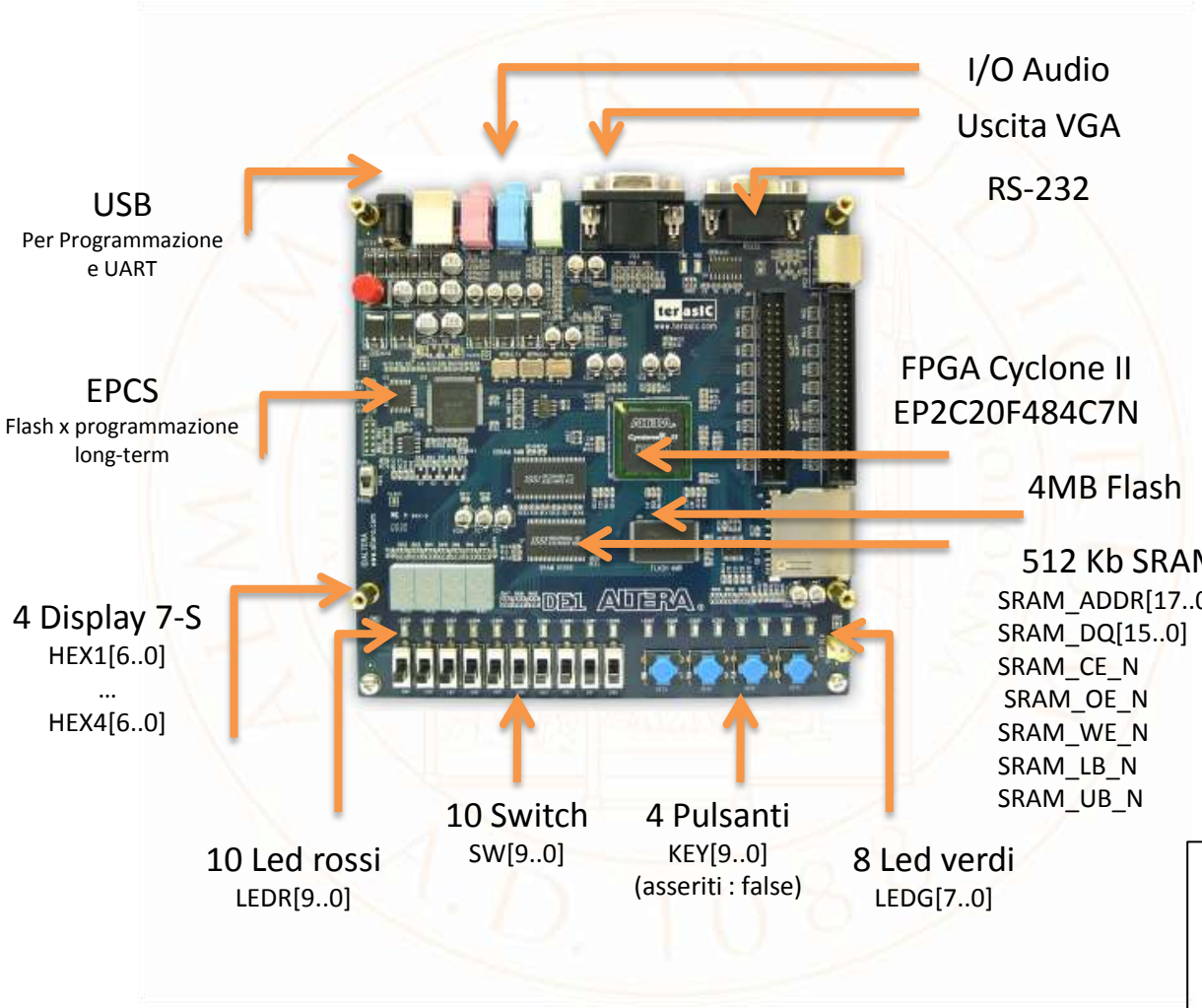


Flusso di sintesi



- **Compile Design**
  Doppio click per sintetizzare e generare il file di programmazione
- **RTL Viewer**
  Mostra la logica RTL inferita dal design **(UTILIZZATELO!)**
- **Technology Map Viewer**
  Mostra il risultato del mapping sulle celle logiche dell'FPGA
- **Program Device**
  Programma l'FPGA (in maniera volatile)

Schede dimostrative Terasic-Altera DE1

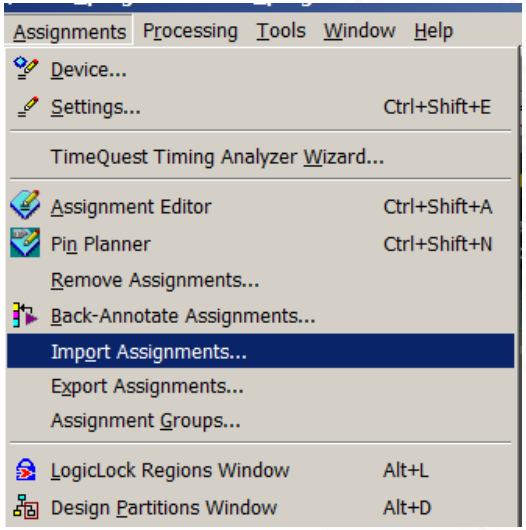


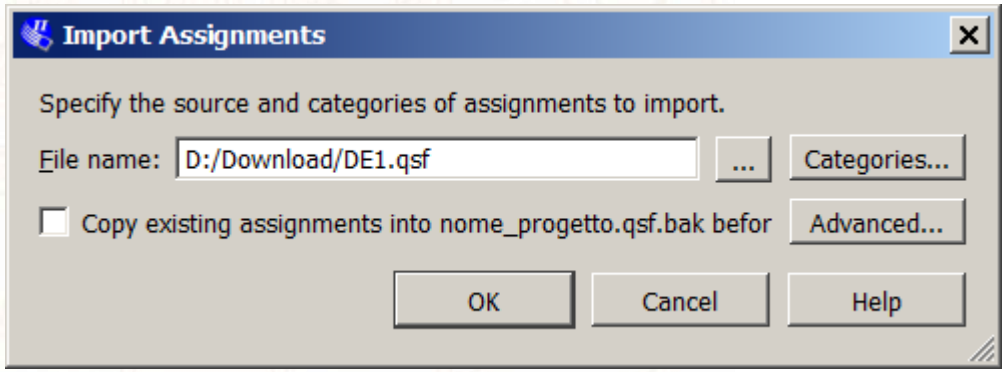
Sorgenti di clock
CLOCK_50
CLOCK_24[1..0]
CLOCK_27[1..0]
+ PLL interni nel FPGA

Mapping I/O FPGA su schede DE1

- Scaricare file con i mapping dei PIN I/O
  ftp://ftp.altera.com/up/pub/Altera_Material/9.1/Boards/DE1/DE1.qsf

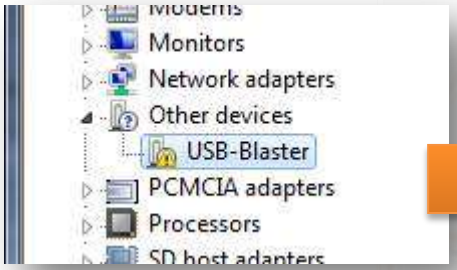
- Importare assignment nel progetto (menu Assignments → Import Assignments):
- Per i nomi dei PIN fate riferimento al file (DE1_Schematic.pdf) nello zip DE1 (o alla figura precedente)





Programmazione – Installazione driver

- Dopo aver collegato il cavo usb ed acceso la scheda, installate il driver della USB-blaster
- Percorso del driver: c:\Altera\10.1sp1\quartus\drivers\usb-blaster



Programmazione

- Task → Program Device (Open Programmer)