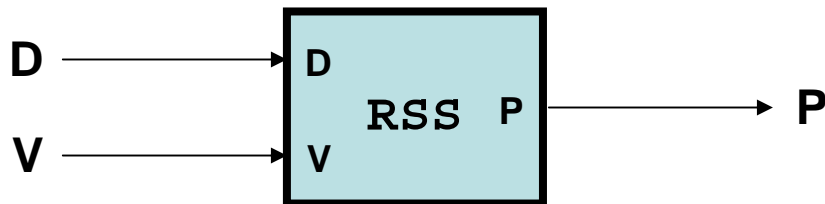


## ESERCIZIO 1, pagina 1

Progettare una RSS in grado di rilevare configurazioni binarie *palindrome* (ovvero, sequenze che assumono lo stesso valore numerico sia lette da sinistra che da destra) di 4 bit che si presentano serialmente sull'ingresso D.



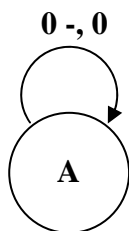
L'ingresso D deve essere considerato significativo, e quindi valido ai fini della identificazione della sequenza, esclusivamente quando l'ingresso V assume il valore logico 1 (questo non necessariamente avviene per quattro clock consecutivi). L'uscita P della rete deve assumere il valore logico 1 per un solo intervallo di clock durante la ricezione del quarto bit significativo della sequenza. Terminato il riconoscimento di una sequenza di 4 bit significativi la rete deve riprendere il controllo della sequenza successiva.

**DOMANDA N.1 (PUNTI 1)** - Indicare le quattro possibili palindromi:

-----

**DOMANDA N.2 (PUNTI 3)** – Individuare il grafo degli stati della rete secondo il modello di Mealy (suggerimento: impiegare 15 stati).

**VD,P**



## ESERCIZIO 1, pagina 2

**DOMANDA N.3 (PUNTI 2)** –Tracciare la tabella di flusso ed individuare la tabella minima

$s^n$	$(V D)^n$			
	00	01	11	10

$(s)^{n+1}, P^n$

$s^n$	$(V D)^n$			
	00	01	11	10
<b>0</b> ={    }				
<b>1</b> ={    }				
<b>2</b> ={    }				
<b>3</b> ={    }				
<b>4</b> ={    }				
<b>5</b> ={    }				
<b>6</b> ={    }				
<b>7</b> ={    }				
<b>8</b> ={    }				
<b>9</b> ={    }				

$(s)^{n+1}, P^n$

**DOMANDA N.4 (PUNTI 4)** - Completare lo schema logico seguente nel quale il contatore modulo 4 (dotato di comando di EN) svolge il ruolo di controllore e lo *shift-register* a 3 bit (dotato di comando S/H') consente di memorizzare i bit necessari per esaminare la sequenza ricevuta.

